

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-264285

(43)Date of publication of application : 19.09.2003

(51)Int.Cl.

H01L 29/78  
H01L 21/318  
H01L 29/423  
H01L 29/49

(21)Application number : 2002-065844

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.03.2002

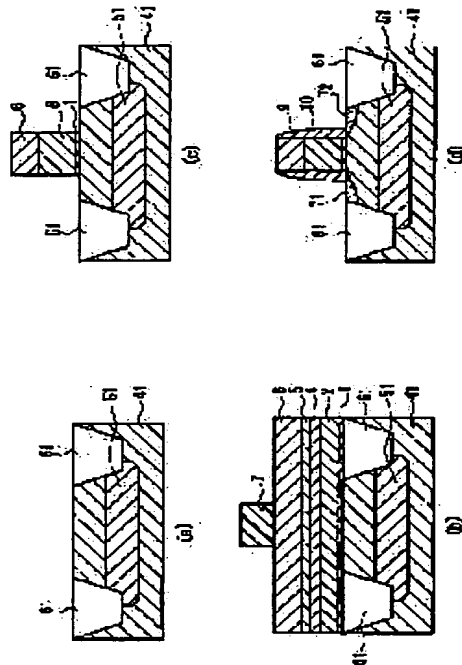
(72)Inventor : SAKAMOTO HIROKI  
KAWASAKI YASUHIRO  
YONEDA KENJI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which prevents hydrogen from being retained in a gate insulating film, which changes a threshold voltage of a transistor without generating a field mismatch in the gate insulating film and which prevents an on current from being deteriorated, and to provide a method for manufacturing the same.

**SOLUTION:** The method for manufacturing the semiconductor device comprises the step of forming the gate insulating film on a silicon substrate, the step of forming a gate electrode made of a laminated structure of a polysilicon or a metal film or a silicon film and a metal film on the gate insulating film, and the step of forming an insulating film substantially not containing an Si-H bond on the gate electrode. As the material gas of the silicon nitride film on a polymetal gate, a tetrachlorosilane ( $\text{SiCl}_4$ ) which does not contain a hydrogen (H) is used. Thus, the cause of an electron trap is eliminated by reducing the hydrogen (H) contained in the film, and the diffusion of the hydrogen (H) in the polymetal gate can be prevented.



## LEGAL STATUS

[Date of request for examination]

09.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**BEST AVAILABLE COPY**

[Patent number]	3753994
[Date of registration]	22.12.2005
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-264285

(P2003-264285A)

(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 29/78		H 0 1 L 21/318	B 4 M 1 0 4
21/318		29/78	3 0 1 G 5 F 0 5 8
29/423		29/58	G 5 F 1 4 0
29/49			

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願2002-65844(P2002-65844)

(22) 出願日 平成14年3月11日 (2002.3.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 坂本 裕樹

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 河▲崎▼ 泰宏

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

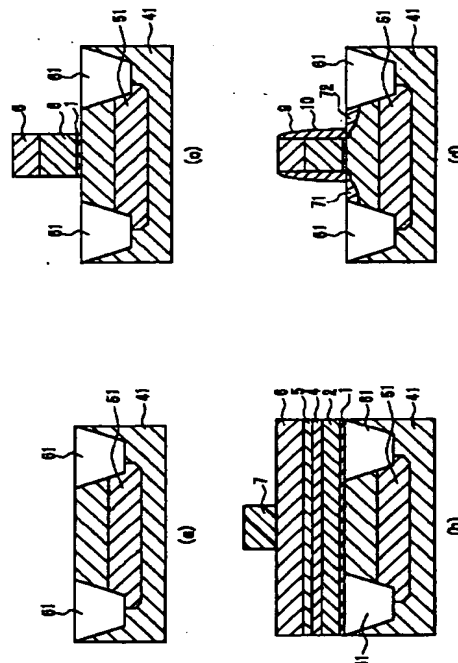
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】 ゲート絶縁膜中への水素残留を防止すると共に、ゲート絶縁膜に界面不整合を発生させず、トランジスタの閾値電圧の変動やオン電流の劣化を防止することができる半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、前記ゲート電極上に Si-H 結合を実質的に含まない絶縁膜を形成する工程と、を具備する半導体装置の製造方法とする。また、ポリメタルゲート上のシリコン窒化膜の原料ガスに、水素 (H) を含まないテトラクロロシラン (SiCl<sub>4</sub>) を使用する。そのため、膜中に含まれる水素 (H) を低減させて電子トラップの原因を排除し、ポリメタルゲートへの水素 (H) 拡散を防止することができる。



(2)

特開 2003-264285

1

【特許請求の範囲】

【請求項 1】 シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極と、前記ゲート電極上に形成された Si-H 結合を実質的に含まない絶縁膜と、を具備することを特徴とする半導体装置。

【請求項 2】 前記絶縁膜が、シリコン窒化膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上に Si-H 結合を実質的に含まない絶縁膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 4】 前記 Si-H 結合を実質的に含まない絶縁膜が、シリコン窒化膜であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記絶縁膜を形成する工程が、Si-H 結合を有しない原料ガスを堆積することによって、Si-H 結合を実質的に含まない絶縁膜を形成することを特徴とする請求項 3 または 4 に記載の半導体装置の製造方法。

【請求項 6】 前記原料ガスが、テトラクロロシランガスと、N-H 結合を含むガスとの混合ガスであることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記 N-H 結合を含むガスが、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上に原料ガスを堆積してシリコン窒化膜を形成する工程を具備し、前記原料ガスは、モノシラン、ジクロロシランおよびトリクロロシランからなる群から選ばれる少なくとも一種のガスと、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスとの混合ガスであり、かつ、前記シリコン窒化膜を 750℃以上 800℃以下の温度で形成することを特徴とする半導体装置の製造方法。

【請求項 9】 前記シリコン窒化膜を形成する工程の後に、シリコン窒化膜形成温度よりも高い温度でアニール処理することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるい

2

は金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上に原料ガスを堆積してシリコン窒化膜を形成する工程を具備し、前記原料ガスは、モノシラン、ジクロロシランおよびトリクロロシランからなる群から選ばれる少なくとも一種のガスと、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスとの混合ガスであり、かつ、前記シリコン窒化膜を形成した後に、該シリコン窒化膜形成温度よりも高い温度でアニール処理することを特徴とする半導体装置の製造方法。

【請求項 11】 前記アニール処理温度が、800℃以上 1200℃以下であることを特徴とする請求項 9 又は 10 に記載の半導体装置の製造方法。

【請求項 12】 前記アニール処理のガス雰囲気が、不活性ガスを含む雰囲気であることを特徴とする請求項 9 ~ 11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】 前記アニール処理が、減圧雰囲気で行われることを特徴とする請求項 9 ~ 12 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、素子のゲート絶縁膜が薄膜化した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、LSI (Large Scale Integrated circuit) においては、チップの集積度を上げるために、構成する素子である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の微細化や、動作電圧の低電圧化が進められている。一方、素子が高集積化されることにより、素子の速度を向上させるための目的で、ワードラインに使用されるタングステンシリサイド膜を、さらに低い比抵抗のタングステン膜で代替するポリメタルゲートが研究されている。

【0003】図 9 は、STI (Shallow Trench Isolation) プロセスにより、p チャネル MOS (Metal Oxide Semiconductor) トランジスタ単体を、従来の LP-SiN (Low Pressure Chemical Vapor Deposition Silicon Nitride) 膜を用いたポリメタルゲート形成方法で作成する工程を、順次に示す断面図である。図 9 (a) ~ 図 9 (d) を参照すると、まず、素子絶縁分離用の浅い溝 (STI) 形成後、STI の間に挟まれたイオン注入領域へのリン (P) 及び砒素 (As) イオン注入により、n ウェル (n well) の形成を行う。RTP (Rapid Thermal Processor) により、酸化膜または酸窒化膜のゲート絶縁膜 11 を形成する。

【0004】次に、LPCVD (Low Pressure Chemical Vapor Deposition) 炉により、SiH<sub>4</sub> 雰囲気下で、

10

20

30

40

50

(3)

特開2003-264285

3

アモルファスシリコン (Amorphous Si) 膜12を成長させ、次に、ホウ素 (B) イオン注入によるゲートドーピングを行う。その後、窒化チタン (TiN) 膜14、タングステン (W) 膜15を順次堆積する。そして、タングステン膜15上に、ゲートキャップ層のLP-SiN膜16を、 $\text{SiH}_2\text{Cl}_2$  (ジクロロシラン、以下「DCS」と略称することがある) +  $\text{NH}_3$  雰囲気で形成する。

【0005】この上に、ゲートパターンを形成するためのフォトリソパターン17を形成し、フォトリソパターン17をマスクとして、ポリメタルゲート18を形成する。その後、LP-SiN膜19でサイドウォール20を形成し、サイドウォール20によるLDD (Lightly Doped Drain)、ソース (p+) S及びドレイン (p+) D等を形成する。

【0006】

【発明が解決しようとする課題】しかしながら、上記形成方法で形成されたポリメタルゲートには、アモルファスシリコンとゲート絶縁膜の界面近傍迄の間に多量の水素 (H) が含まれている (図10参照)。ここで、横軸は、ゲートキャップLP-SiN膜19の表面からの深さ: Depth (nm) を示し、縦軸は、水素濃度: Concentration (atoms/cm<sup>3</sup>) を示す。これは、ポリメタルゲートキャップ層のLP-SiN膜16は、Si-H結合を含む $\text{SiH}_2\text{Cl}_2$ ガス及びN-H結合を含む $\text{NH}_3$ ガスを用いて形成される為、窒化膜中に未反応のSi-H結合及びN-H結合が残り、多量の水素 (H) が取り込まれることによる。これらの未反応のSi-H結合、N-H結合は、LP-SiN堆積後のさまざまな熱処理により分離して-H基を生成する。そして、この-H基が、ゲート絶縁膜に拡散していき電子トラップとして作用し、MOSFETの閾値電圧 ( $V_{th}$ ) のシフトや、オン電流 ( $I_{on}$ ) の劣化を引き起こす問題がある。

【0007】本発明は、前記従来の問題点に鑑みてなされたものであり、ゲート絶縁膜中への水素 (H) 拡散を防止し、トランジスタの閾値電圧の変動やオン電流の劣化を防止する半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極と、前記ゲート電極上に形成されたSi-H結合を実質的に含まない絶縁膜と、を具備することを特徴とする。

【0009】前記半導体装置においては、前記絶縁膜はシリコン窒化膜であることを特徴とする。

【0010】また、本発明の半導体装置の製造方法は、

4

シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上にSi-H結合を実質的に含まない絶縁膜を形成する工程を具備することを特徴とする。

【0011】この半導体装置の製造方法においては、前記Si-H結合を実質的に含まない絶縁膜はシリコン窒化膜であることを特徴とする。

【0012】また、前記絶縁膜を形成する工程は、Si-H結合を有しない原料ガスを堆積することによって、Si-H結合を実質的に含まない絶縁膜を形成することを特徴とする。

【0013】前記半導体装置の製造方法においては、前記原料ガスが、テトラクロロシランガスと、N-H結合を含むガスとの混合ガスであることが好ましく、前記N-H結合を含むガスは、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスであることが好ましい。

【0014】本発明によれば、ポリメタルゲートのキャップ膜として、Si-H結合を実質的に含まない絶縁膜 (シリコン窒化膜) が形成された半導体装置が得られる。また、シリコン窒化膜形成用原料ガスとして、Si-H結合を有しないテトラクロロシラン ( $\text{SiCl}_4$ 、以下「TCS」と略称することがある) を使用する事により、シリコン窒化膜中のSi-H結合がなくなるので、膜堆積後のさまざまな熱処理により分離する-H基が少ないシリコン窒化膜が形成される。そのため、-H基がゲート絶縁膜に拡散していき、電子トラップとして作用し、MOSFETの閾値電圧 ( $V_{th}$ ) のシフトや、オン電流 ( $I_{on}$ ) の劣化を引き起こす事を防止することができる。

【0015】また、本発明の第2の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上に原料ガスを堆積してシリコン窒化膜を形成する工程を具備し、前記原料ガス

は、モノシラン、ジクロロシランおよびトリクロロシランからなる群から選ばれる少なくとも一種のガスと、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスとの混合ガスであり、かつ、前記シリコン窒化膜を750℃以上800℃以下の温度で形成することを特徴とする。

【0016】この半導体装置の製造方法は、前記シリコン窒化膜を形成する工程の後に、シリコン窒化膜形成温度よりも高い温度でアニール処理することが好ましい。

【0017】また、本発明の第3の半導体装置の製造方法は、シリコン基板上にゲート絶縁膜を形成する工程

50

(4)

特開2003-264285

5

と、前記ゲート絶縁膜上にポリシリコンあるいは金属膜もしくはシリコン膜と金属膜の積層構造からなるゲート電極を形成する工程と、を具備する半導体装置の製造方法であって、前記ゲート電極上に原料ガスを堆積してシリコン窒化膜を形成する工程を具備し、前記原料ガスは、モノシラン、ジクロロシランおよびトリクロロシランからなる群から選ばれる少なくとも一種のガスと、アンモニア、低級アミン、ヒドラジンおよびこれらの誘導体からなる群から選ばれる少なくとも一種のガスとの混合ガスであり、かつ、前記シリコン窒化膜を形成した後、該シリコン窒化膜形成温度よりも高い温度でアニール処理することとを特徴とする。

【0018】前記アニール処理温度は、800℃以上1200℃以下であることが好ましく、また、前記アニール処理のガス雰囲気は、不活性ガスを含む雰囲気であることが好ましく、さらに、前記アニール処理は、減圧雰囲気で行われることが好ましい。

【0019】本発明によれば、ポリメタルゲートのキャップ膜であるシリコン窒化膜形成用原料ガスとして、ジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )等を用いたシリコン窒化の場合でも、原料ガス堆積温度よりも高い温度でアニール処理を行うことにより、シリコン窒化膜中の未反応 $\text{Si-H}$ 結合が減少する。特に、減圧雰囲気において、窒素ガスまたは $\text{Ar}$ 等の希ガスでアニール処理を行うことにより、未反応 $\text{Si-H}$ 結合が減少する。これにより、膜堆積後のさまざまな熱処理により分離する $\text{-H}$ 基が少ないシリコン窒化膜が形成される。そのため、 $\text{-H}$ 基がゲート絶縁膜に拡散していき、電子トラップとして作用し、MOSFETの閾値電圧( $V_{th}$ )のシフトや、オン電流( $I_{on}$ )の劣化を引き起こす事を防止することができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0021】(実施の形態1)図1は、本発明の第1の実施の形態に係る半導体装置のゲートキャップ絶縁膜を形成する工程を、順次に示す断面図である。図1には、STIプロセスにより、p型シリコン基板に、nチャネルMOSトランジスタを単体で作製する場合の例を示した。なお、STIプロセスの代わりに、LOCOS(Local Oxidation of Silicon)法等により素子絶縁分離領域を形成してもよい。

【0022】図1を参照しながら説明すると、まず、素子絶縁分離用の浅い溝(STI)形成後、STIの間に挟まれたイオン注入領域へのリン(P)及び砒素(As)イオン注入により、nウェル(n well)の形成を行う。RTP(Rapid Thermal Processor)により、酸化膜または酸窒化膜からなるゲート絶縁膜1を形成する。

【0023】次に、LPCVD炉を用いて、 $\text{SiH}_4$ 雰囲気下でアモルファスシリコン(Amorphous Si)膜2を

6

成長させた後、ホウ素(B)イオン注入によるゲートドーピングを行う。その後、窒化チタン( $\text{TiN}$ )膜4、タングステン(W)膜5を順次堆積する。そして、タングステン膜5上に、ゲートキャップ層のLP-SiN膜6を、テトラクロロシラン( $\text{SiCl}_4$ )とアンモニア( $\text{NH}_3$ )の混合雰囲気にて、760℃で形成する。

【0024】その後、ゲートパターンを形成するためのフォトレジストパターン7を形成する。フォトレジストパターン7をマスクとして、ポリメタルゲート8が形成される。その後、LP-SiN膜9でサイドウォール10を形成し、サイドウォール10によるLDD(Lightly Doped Drain)、ソース(p+)S及びドレイン(p+)D等を形成する。

【0025】なお、上記のLP-SiN膜6を形成するときの温度は500℃~800℃であり、好ましくは700~800℃の範囲にするのが良い。前記温度を700℃以上とすることによりシリコン窒化膜中の水素を低減でき、また800℃以下とすることによりゲート電極の耐熱性を確保できる。

【0026】また、本実施の形態では、膜形成用の原料ガスとして、テトラクロロシランとアンモニアの混合ガスを用いたが、かかる原料ガスは実質的に $\text{Si-H}$ 結合を有しないものであれば良く、通常、テトラクロロシランガスと $\text{N-H}$ 結合を含むガスとの混合ガスが用いられる。このような原料ガスを堆積させることにより、 $\text{Si-H}$ 結合を実質的に含まないシリコン窒化膜が形成される。

【0027】ここで、前記の $\text{N-H}$ 結合を含むガスとしては、例えば、アンモニア、モノメチルアミン( $\text{NH}_2\text{CH}_3$ )等の低級アミン、ヒドラジン( $\text{N}_2\text{H}_4$ )およびこれらの誘導体(例えば、ジメチルアミン( $\text{NH}(\text{CH}_3)_2$ )、ジメチルヒドラジン( $\text{CH}_3\text{NHNHCH}_3$ ))等が挙げられる。

【0028】図2は、本実施の形態の製造方法と従来の製造方法で形成されたLP-SiN膜6を用いて、シリコン窒化膜中の水素結合を、フーリエ変換赤外分光計(FT-IR)で測定した結果を、グラフで示す図である。ここで、横軸は波数を示し、縦軸は規格強度を示す。図2に示すように、シリコン窒化膜6の膜中には、 $\text{N-H}$ の伸縮を表すピーク(3000~3500  $\text{cm}^{-1}$ )は、原料ガスとしてTCS( $\text{SiCl}_4$ )を用いた場合(本発明)、及び従来のDCS( $\text{SiH}_2\text{Cl}_2$ )を用いた場合のいずれ場合も存在している。しかし、 $\text{Si-H}$ の伸縮を表すピーク(2100~2500  $\text{cm}^{-1}$ )は、原料ガスとしてDCSを使用した場合にのみ存在している。これらの原因は、DCS( $\text{SiH}_2\text{Cl}_2$ )とTCS( $\text{SiCl}_4$ )を比較した場合、DCSは分子構造に $\text{Si-H}$ の結合が存在しているためと推測される。そして、 $\text{Si-H}$ 結合は、 $\text{N-H}$ 結合に比べて結合エネルギーが低い為、結合が切れやすく、結合の切れ

(5)

特開2003-264285

7

た水素がゲート絶縁膜1に拡散していき、閾値電圧 ( $V_{th}$ ) のシフトの抑制、オン電流 ( $I_{on}$ ) の劣化を引き起こすものと考えられる。

【0029】図3は、本実施の形態の製造方法と従来の製造方法で形成された、図1に示すポリメタルゲート構造のLP-SiN膜6における、膜中の水素分布をグラフで示す図である。ここで、横軸は、ゲートキャップLP-SiN膜6表面からの深さ: Depth (nm) を示し、縦軸は、水素濃度: Concentration (atoms/cm<sup>3</sup>) を示す。なお、水素濃度: Concentration (atoms/cm<sup>3</sup>) は、二次イオン質量分析 (SIMS) により測定した値である。

【0030】図3に示すように、原料ガスとしてTCSを使用した本発明例の場合は、ゲート絶縁膜1とポリメタルゲート電極8との界面近傍迄の水素 (H) の含有量が、DCSを使用した従来法の場合に比べて低減されている。図3の結果から、Si-H結合の結合が切れた水素が、ゲート絶縁膜1に拡散していることが確認できる。

【0031】次に、図4は、本実施の形態の製造方法 (原料ガス: TCS、膜形成温度: 760℃) と従来の製造方法 (原料ガス: DCS、膜形成温度: 700℃) で製造された半導体装置の閾値電圧 ( $V_{th}$ ) のシフトを、グラフで示す図である。ここで、横軸は原料ガス種を示し、縦軸は $V_{th}$ のシフト量を示す。図4から、本発明のシリコン窒化膜を使用することにより、閾値電圧 ( $V_{th}$ ) のシフトを抑制できることがわかる。

【0032】このように、本発明の製造方法を用いてポリメタルゲート8上の絶縁膜となるシリコン窒化膜 (Si<sub>3</sub>N<sub>4</sub>) 6を形成することにより、通常のシリコン窒化膜で顕著に見られる閾値電圧 ( $V_{th}$ ) のシフトを抑制することができる。これは、水素 (H) を含まないガス、即ち、テトラクロロシラン (SiCl<sub>4</sub>) を用いることによって、膜中に含まれる水素 (H) を低減させ、電子トラップの原因を排除することができるためである。また、通常、半導体製造工程で発生する未結合手には水素 (H) が結合するが、水素 (H) の代わりに塩素等のハロゲン (Cl) でターミネート (終端) させることができるためである。

【0033】以上説明したように、本発明にかかるシリコン窒化膜6は、原料ガス種をテトラクロロシラン (SiCl<sub>4</sub>) に変えることにより形成されるものであり、これによりゲート絶縁膜中への水素 (H) 拡散を有効に防止することができる。

【0034】(実施の形態2) 図5は、本発明の第2の実施の形態に係る半導体装置のゲートキャップ絶縁膜を形成する工程を、順次に示す説明図である。図5には、STIプロセスにより、p型シリコン基板に、nチャネルMOSトランジスタを単体で作製する場合の例を示した。なお、STIプロセスの代わりに、LOCOS法等

8

により素子絶縁分離領域を形成してもよい。

【0035】図5を参照しながら説明すると、まず、素子絶縁分離用の浅い溝 (STI) 形成後、STIの間に挟まれたイオン注入領域へのリン (P) 及び砒素 (As) イオン注入により、nウェル (n well) の形成を行う。RTP (Rapid Thermal Processor) により、酸化膜または酸化窒化膜からなるゲート絶縁膜1を形成する。

【0036】次に、LPCVD炉を用いて、SiH<sub>4</sub>雰囲気下でアモルファスシリコン (Amorphous Si) 膜2を成長させた後、ホウ素 (B) イオン注入によるゲートドーピングを行う。その後、窒化チタン (TiN) 膜4、タングステン (W) 膜5を順次堆積する。そして、タングステン膜5上にゲートキャップ層のLP-SiN膜3を、ジクロロシラン (SiH<sub>2</sub>Cl<sub>2</sub>) とアンモニア (NH<sub>3</sub>) の混合雰囲気にて、700℃ (従来法) もしくは760℃で形成する。

【0037】その後、シリコン窒化膜3を、窒素雰囲気下、圧力10<sup>2</sup>~10<sup>3</sup>Pa、温度800℃で、60分間アニール処理する。

【0038】その後、ゲートパターンを形成するためのフォトリソパターン7を形成する。フォトリソパターン7をマスクとして、ポリメタルゲート8が形成される。その後、LP-SiN膜9でサイドウォール10を形成し、サイドウォール10によるLDD (Lightly Doped Drain)、ソース (p+) S及びドレイン (p+) D等を形成する。

【0039】なお、上記のLP-SiN膜3を形成する際の温度は、500~800℃、好ましくは700~800℃、さらに好ましくは750℃~800℃の範囲にするのが良い。前記温度を700℃以上とすることによりシリコン窒化膜中の残留水素を低減でき、また800℃以下とすることによりゲート電極の耐熱性を確保できる。

【0040】また、本実施の形態では、膜形成用の原料ガスとして、ジクロロシランとアンモニアの混合ガスを用いたが、ジクロロシランの代わりに、例えば、モノシラン、トリクロロシラン等を用いても良い。通常、これらのシラン系ガスとN-H結合を含むガスとの混合ガスが用いられる。

【0041】ここで、前記のN-H結合を含むガスとしては、例えば、アンモニア、モノメチルアミン (NH<sub>2</sub>CH<sub>3</sub>) 等の低級アミン、ヒドラジン (N<sub>2</sub>H<sub>4</sub>) およびこれらの誘導体 (例えば、ジメチルアミン (NH(CH<sub>3</sub>))<sub>2</sub>、ジメチルヒドラジン (CH<sub>3</sub>NHNHCH<sub>3</sub>)) 等が挙げられる。

【0042】また、上記のアニール処理は、シリコン窒化膜形成温度より高い温度、望ましくは800℃以上の温度で行うのが良い。アニール温度を800℃以上とすることにより、シリコン窒化膜中の残留水素を脱離することができる。アニール温度は、ゲート電極の耐熱性を

9

考慮して1200℃以下とするのが良い。アニール時間は、通常5～120分間、好ましくは30～60分間とするのが良い。アニール処理は、シリコン窒化膜の膜質の観点より、不活性ガス雰囲気で行うのが良く、不活性ガスとしては、例えば、窒素ガス等の低反応性ガスやAr等の希ガス等が挙げられる。アニール処理は、常圧もしくは減圧雰囲気で行うことができるが、未反応Si-H結合を減少させるためには、減圧雰囲気で行うのが良い。

【0043】次に、図6は、本実施の形態の製造方法と従来の製造方法で形成されたLP-SiN膜31を用いて、シリコン窒化膜中の水素結合を、FT-IRで測定した結果を、グラフで示す図である。ここで、横軸は波数を示し、縦軸は規格強度を示す。なお、図6(a)は、DCSを用いてシリコン窒化膜を700℃で形成した後、窒素雰囲気下800℃で60分間アニール処理を行った場合（本発明）と、アニール処理を行っていない場合（従来）を比較した図である。図6(b)は、DCSを用いてシリコン窒化膜を760℃で形成した場合（本発明）と、同様に700℃で形成した場合（従来）を比較した図であり、いずれもアニール処理は行っていない。

【0044】図6(a)および(b)に示すように、N-Hの伸縮を表すピーク(3000～3500cm<sup>-1</sup>)及び、Si-Hの伸縮を表すピーク(2100～2500cm<sup>-1</sup>)は、シリコン窒化膜を形成した後、成膜温度よりも高い温度でアニールを行うことにより、アニールを行わない場合（従来）に比べて、低減されていることがわかる。

【0045】また、図6(b)に示すように、N-Hの伸縮を表すピーク(3000～3500cm<sup>-1</sup>)及び、Si-Hの伸縮を表すピーク(2100～2500cm<sup>-1</sup>)は、図6(a)に示すピークと比べて大きい。これらの結果より、N-H結合およびSi-H結合は、シリコン窒化膜形成温度を高温にすることにより低減されることがわかる。これは、シリコン窒化膜形成温度を、従来の700℃から760℃へと高温化したこと、及び、膜形成温度よりも高い温度(800℃)でアニールを行うことにより、シリコン窒化膜中に残留しているSi-H結合及びN-H結合が切れ、結合の切れた水素がシリコン窒化膜外に拡散したためであると考えられる。

【0046】次に、図7は、本実施の形態の製造方法と従来の製造方法で形成された、図5に示すポリメタルゲート構造のLP-SiN膜31における、膜中の水素分布を示す図である。ここで、横軸は、ゲートキャップ絶縁膜31表面からの深さ:Depth(nm)を示し、縦軸は、水素濃度:Concentration(atoms/cm<sup>3</sup>)を示す。なお、水素濃度:Concentration(atoms/cm<sup>3</sup>)は、SIMS分析装置で測定した値である。

【0047】なお、図7(a)は、DCSを用いてシリ

(6)

特開2003-264285

10

コン窒化膜を700℃で形成した後、窒素雰囲気下800℃でアニール処理を行った場合（本発明）と、アニール処理を行っていない場合（従来）を比較した図である。図7(b)は、DCSを用いてシリコン窒化膜を760℃で形成した場合（本発明）と、同様に700℃で形成した場合（従来）を比較した図であり、いずれもアニール処理は行っていない。

【0048】図7(a)および(b)に示すように、シリコン窒化膜成膜温度よりも高い温度(800℃)でアニールを行うことにより、アニールを行わない従来の製造方法に比べて、ゲート絶縁膜1とポリメタルゲート電極8との界面近傍の水素(H)の含有量が低減されていることがわかる。

【0049】また、図7(b)に示すように、シリコン窒化膜形成温度を、従来の700℃から760℃へと高温化したことにより、ゲート絶縁膜1とポリメタルゲート電極8との界面近傍の水素(H)の含有量が低減されている。

【0050】次に、図8は、本実施の形態の製造方法（膜形成温度:700℃、アニール処理:800℃で60分）と、比較方法（膜形成温度:700℃、アニール処理なしとアニール処理あり(700℃で60分)）で製造された半導体装置の閾値電圧(V<sub>th</sub>)のシフトを、グラフで示す図である。ここで、横軸は原料ガス種を示し、縦軸はV<sub>th</sub>のシフト量を示す。図8から、800℃でアニールしたシリコン窒化膜を使用することにより、閾値電圧(V<sub>th</sub>)のシフトを抑制できることがわかる。

【0051】このように、本発明の製造方法を用いてポリメタルゲート8上の絶縁膜となるシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)31を形成することにより、通常のシリコン窒化膜で顕著に見られる閾値電圧(V<sub>th</sub>)のシフトを抑制することができる。これは、従来の製造方法に比べて、シリコン窒化膜形成温度を高くし、望ましくは成膜温度よりも高い温度でアニールを行うことにより、膜中に含まれる水素(H)を低減させ、電子トラップの原因を排除することができるためである。

【0052】

【発明の効果】以上説明したとおり、本発明によれば、S-H結合を実質的に含まないゲートキャップ絶縁膜を具備する半導体装置が形成される。あるいは、ゲートキャップ絶縁膜として、S-H結合及びN-H結合の少ないシリコン窒化膜を具備する半導体装置が形成される。そのため、ポリメタルゲート電極及びゲート絶縁膜中への水素拡散が抑制され、トランジスタの閾値電圧の変動やオン電流の劣化を防止することができる。

【図面の簡単な説明】

【図1】実施の形態1に係る半導体装置の製造方法を示す工程断面図である。

【図2】実施の形態1に係る製造方法と従来の製造方法



(7)

特開2003-264285

11

で形成された窒化膜における、膜中の水素結合を示すグラフである。

【図3】本実施の形態1に係る製造方法と従来の製造方法で形成された、ポリメタルゲート構造の窒化膜中の水素の分布を示すグラフである。

【図4】実施の形態1に係る製造方法と従来の製造方法で製造された半導体装置の閾値電圧 ( $V_{th}$ ) のシフトを示すグラフである。

【図5】実施の形態2に係る半導体装置の製造方法を示す工程断面図である。

【図6】実施の形態2に係る製造方法と従来の製造方法で形成された窒化膜における、膜中の水素結合を示すグラフである。

【図7】実施の形態2に係る製造方法と従来の製造方法で形成された、ポリメタルゲート構造の窒化膜中の水素の分布を示すグラフである。

【図8】実施の形態2に係る製造方法と従来の製造方法で製造された半導体装置の閾値電圧 ( $V_{th}$ ) のシフト\*

12

\*を示すグラフである。

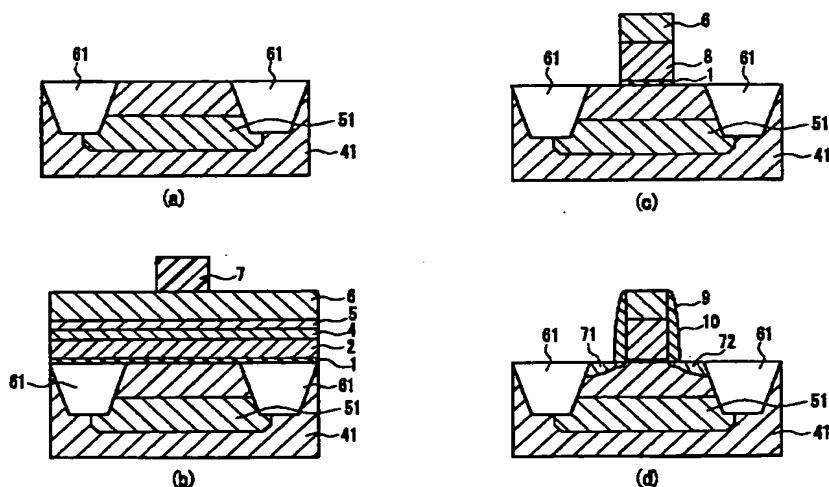
【図9】従来のポリメタルゲート形成方法に係る半導体装置の製造方法を示す工程断面図である。

【図10】従来の製造方法で形成された、ポリメタルゲート構造の窒化膜中の水素の分布を示すグラフである。

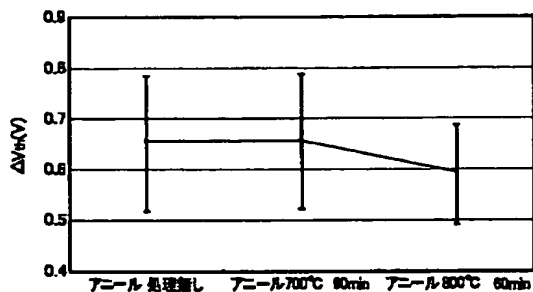
【符号の説明】

- 1、11 ゲート絶縁膜
- 2、12 アモルファスシリコン膜
- 4、14 窒化チタン膜
- 5、15 タングステン膜
- 10、20 サイドウォール
- 41、141 基板
- 51、151 nウェル
- 61、161 素子絶縁分離用の浅い溝 (STI)

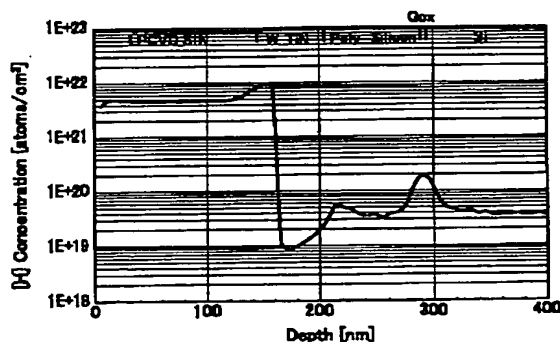
【図1】



【図8】



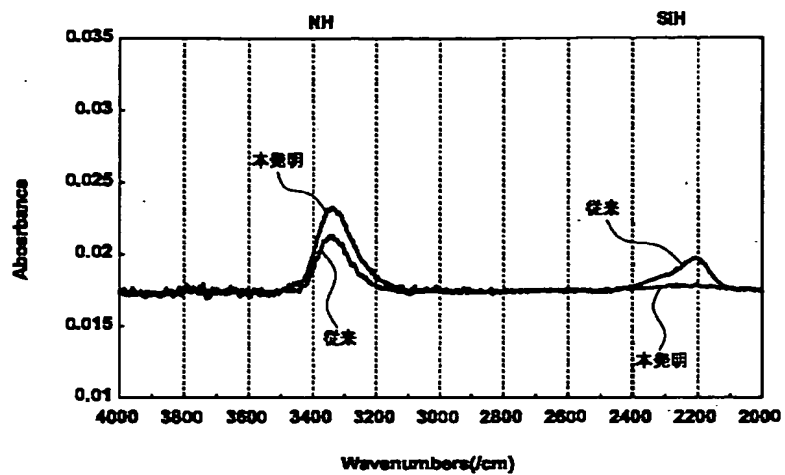
【図10】



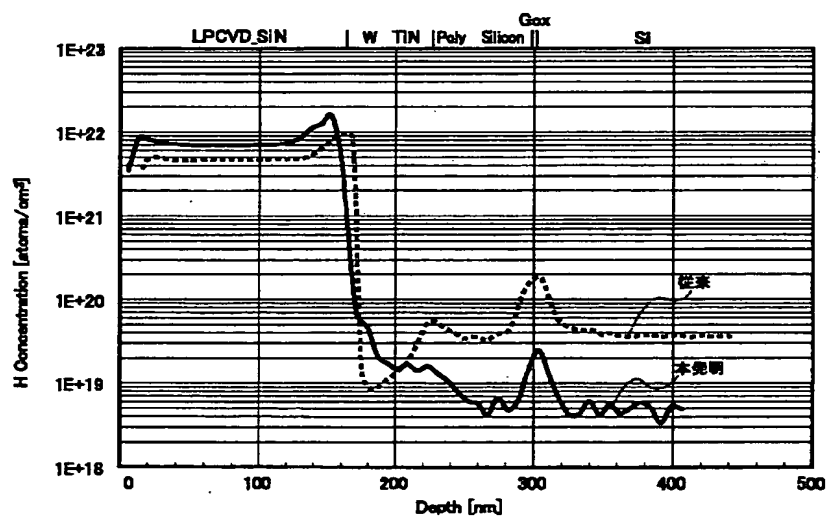
(8)

特開2003-264285

〔図2〕



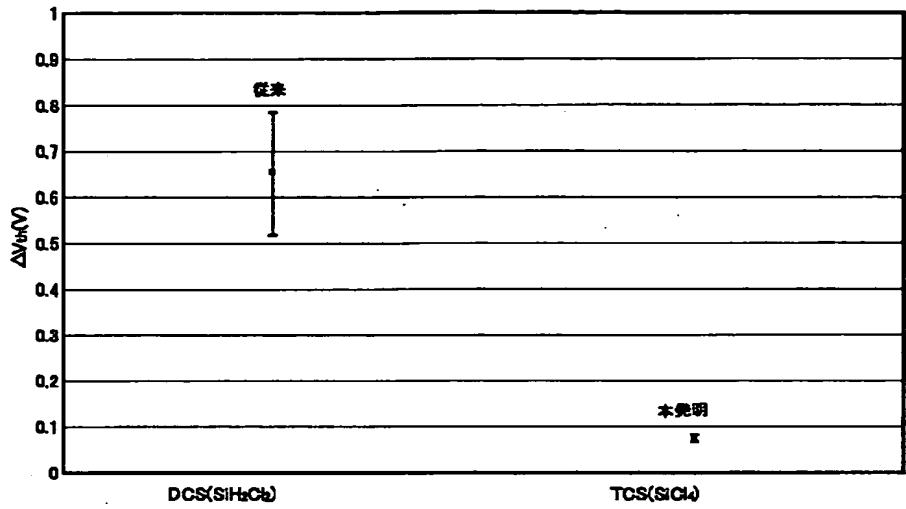
〔図3〕



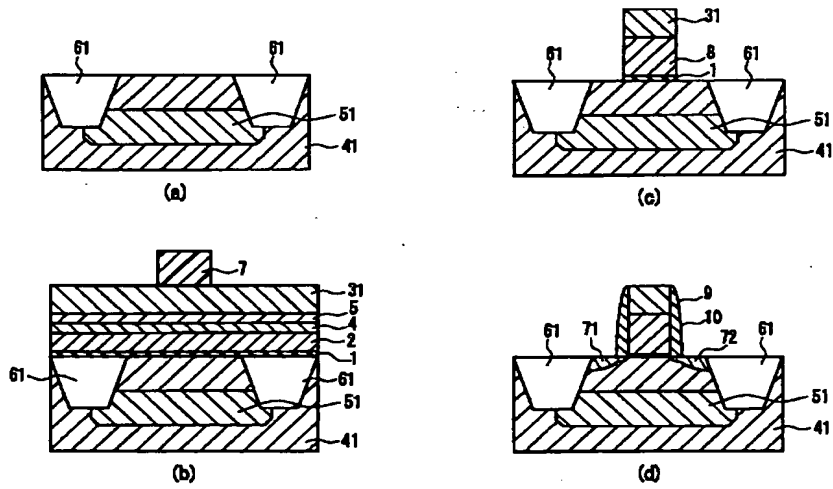
(9)

特開 2003-264285

【図 4】



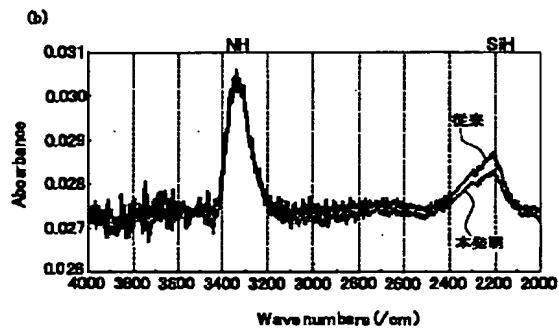
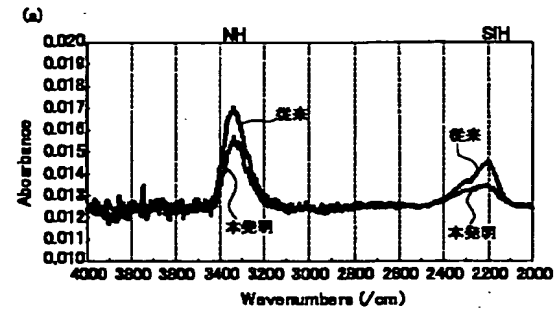
【図 5】



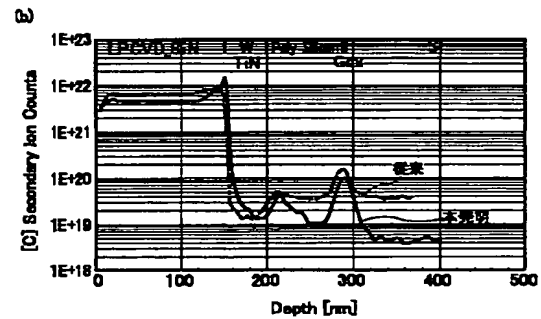
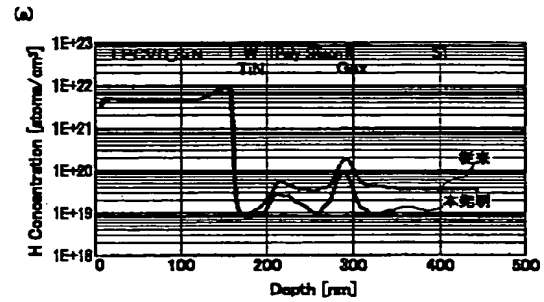
(10)

特開2003-264285

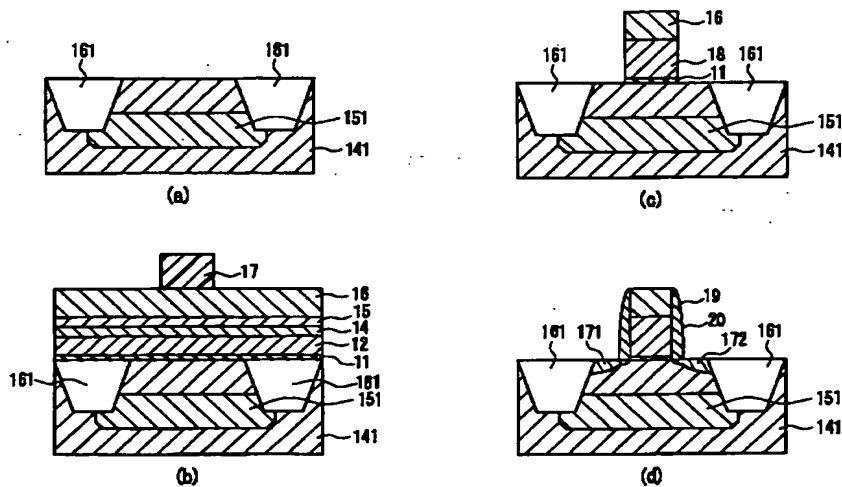
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 米田 健司  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

(11)

特開 2003-264285

F ターム(参考) 4M104 BB01 BB40 CC05 DD43 DD63  
DD91 EE03 EE05 EE09 EE14  
EE16 EE17 FF18 GG09 HH20  
5F058 BC08 BF04 BF24 BF30  
5F140 AA01 AA06 AA39 BA01 BD05  
BD09 BE07 BE08 BE19 BF04  
BF20 BF21 BF27 BF34 BG14  
BG22 BG32 BG41 BH15 CB01  
CB04 CB08

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**